

US

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   2 月 2 7 日  
Date of Application:

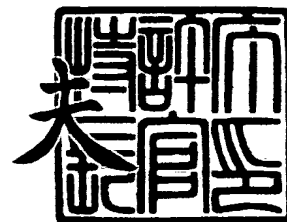
出 願 番 号            特 願 2 0 0 3 - 0 5 0 9 6 8  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 5 0 9 6 8 ]

出   願   人            N E C エレクトロニクス株式会社  
Applicant(s):

2 0 0 3 年 1 2 月   3 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 71110558

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/82  
H01L 27/04  
H01L 21/822

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地  
N E C エレクトロニクス株式会社内

【氏名】 日高 逸雄

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100109313

【弁理士】

【氏名又は名称】 机 昌彦

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100085268

【弁理士】

【氏名又は名称】 河合 信明

【電話番号】 03-3454-1111

【選任した代理人】

【識別番号】 100111637

【弁理士】

【氏名又は名称】 谷澤 靖久

【電話番号】 03-3454-1111

## 【手数料の表示】

【予納台帳番号】 191928

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0215753

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 マルチプレクサセルのレイアウト構造

【特許請求の範囲】

【請求項 1】 PチャネルトランジスタとNチャネルトランジスタから構成されるセル列を上下2列に並べたプリミティブセルと、

前記セル列を接続する複数層で構成される配線層と、

前記プリミティブセルを用いて、複数のトランスファークロッシングおよび複数のインバータのいずれか一方、又は其の両方を有するマルチプレクサセルのレイアウト構造において、

前記トランスファークロッシングを構成する複数のトランジスタを、前記セル列の上側と下側に配置し、配置した複数のトランジスタの出力端子を、前記上下のセル列間をまたいで、前記配線層のうちMETAL 2層配線で接続することを特徴とするマルチプレクサセルのレイアウト構造。

【請求項 2】 前記マルチプレクサは、デコード回路を有し、前記マルチプレクサのデコード回路を構成するトランジスタを、前記セル列の上側と下側に配置し、前記デコード回路の内部配線を上下のセル列間をまたいで、前記配線層のうち少なくともポリシリコン層を含む配線層で接続し、

前記トランスファークロッシング回路のトランジスタ出力を制御する制御信号配線を上下のセル列間をまたいで、前記配線層のうち少なくともポリシリコン層を含む配線層で接続する請求項 1 記載マルチプレクサセルのレイアウト構造。

【請求項 3】 前記デコード回路の内部配線を、METAL 1層およびMETAL 2層のそれぞれで接続する請求項 2 記載のマルチプレクサセルのレイアウト構造。

【請求項 4】 前記トランスファークロッシング回路のトランジスタ出力を制御する制御信号配線を、METAL 1層およびMETAL 2層のそれぞれで接続する請求項 2 乃至 3 のいずれか 1 項に記載のマルチプレクサセルのレイアウト構造。

【請求項 5】 前記マルチプレクサセルは、4入力マルチプレクサ・インバータで構成される請求項 1 乃至 4 のいずれか 1 項に記載のマルチプレクサセルのレイアウト構造。

【請求項 6】 前記マルチプレクサセルは、3 入力マルチプレクサ・インバータで構成される請求項 1 乃至 4 のいずれか 1 項に記載のマルチプレクサセルのレイアウト構造。

【請求項 7】 前記セル列が、上下 2 列の代わりに上下 3 列以上並んでいる請求項 1 乃至 4 のいずれか 1 項に記載のマルチプレクサセルのレイアウト構造。

【請求項 8】 前記マルチプレクサセルは、5 入力マルチプレクサ・インバータで構成される請求項 1 乃至 4 のいずれか 1 項に記載のマルチプレクサセルのレイアウト構造。

【請求項 9】 前記マルチプレクサセルのレイアウト構造が、CPU コアのバレルシフター回路に適用される請求項 1 乃至 8 のいずれか 1 項に記載のマルチプレクサセルのレイアウト構造。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、マルチプレクサセルのレイアウト構造に関し、特に、P チャネルトランジスタと N チャネルトランジスタから構成されるセル列を上下 2 列に並べたプリミティブセルを有するマルチプレクサセルのレイアウト構造に関する。

【0 0 0 2】

【従来の技術】

近年、ASIC で設計される半導体集積回路（以下、LSI という）が良く知られている。その中でも、P チャネルトランジスタと N チャネルトランジスタから構成されるセル列が横一列に配置されたプリミティブセルのレイアウト構造を有する LSI が知られている。

【0 0 0 3】

このような LSI は、例えば、特許文献 1 および特許文献 2 のそれぞれに開示されている。

【0 0 0 4】

一般的に、1 チップのレイアウト設計をする際に利用するトランジスタレベルで描かれた小規模レイアウトブロックをプリミティブセル（又はプリミティブ・

ブロック)と呼ぶことは、周知の事実である。

#### 【0005】

プリミティブセルは、インバータ、バッファ、NAND、NOR、マルチプレクサおよびフリップフロップ等の論理機能を有している。そして、インバータはインバータセルと、バッファはバッファセルと、NANDはNANDセルと、NORはNORセルと、マルチプレクサはマルチプレクサセルと、フリップフロップはフリップフロップセルとそれぞれ言われている。

#### 【0006】

また、プリミティブセルは、Pチャネルトランジスタ領域とNチャネルトランジスタ領域を上下（又は左右）に隣接して配置し、複数のPチャネルトランジスタと複数のNチャネルトランジスタを横方向（又は縦方向）に並べたレイアウト形状をしている。マルチプレクサのプリミティブセルのレイアウト構造においても、PチャネルトランジスタとNチャネルトランジスタが隣接し、一列に並んだセル列から構成されている。

#### 【0007】

図4は、4入力マルチプレクサ・インバータ回路を用いた従来のレイアウト構造におけるレイアウト対応の回路図である。

#### 【0008】

従来のマルチプレクサ回路のレイアウト構造は、上述のプリミティブセルを有している。そして、複数のトランスファークロウ出力、又はインバータ出力、又は其の両方を有するマルチプレクサ回路（401，402，403，404）上で、トランスファークロウのトランジスタ（409-1，409-2，409-3，409-4）を1つのセル列406内に配置し、配置したトランジスタの出力端子（N01）をポリシリコン層、METAL1層、METAL2層を用いて、1つセル列406内で接続するセルのレイアウト構造をとっている。

#### 【0009】

さらに、マルチプレクサのデコード回路405を出力端子（N01）の右側に配置し、デコード回路の内部配線をポリシリコン層、METAL1層、METAL2層を用いて、1つのセル列406内で接続し、前記トランスファークロウ回

路のトランジスタ出力を制御する信号配線を左右にポリシリコン層、METAL 1 層、METAL 2 層を用いて 1 つのセル列 406 内で接続する構造を特徴とするセルのレイアウト構造をとる。

#### 【0010】

図 7 に、図 4 に示す従来例の 4 入力マルチプレクサ・インバータが持つ METAL 2 層配線トラック 701 を示す。図中の “×” は、セルが使用した METAL 2 層の配線トラック 702 を示しており、1 チップの METAL 2 層の配線トラックとしては使用出来ないことを意味する。

#### 【0011】

また、従来その他の例として、図 9 にトランスファークロスタック 2 段構成型の 4 入力マルチプレクサの回路図を示す。トランスファークロスタック 2 段構成型の 4 入力マルチプレクサ 900 は、入力端子 H01 からの信号を受ける 1 段目のトランスファークロスタック 909-1 と、入力端子 H02 からの信号を受ける 1 段目のトランスファークロスタック 909-2 と、入力端子 H03 からの信号を受ける 1 段目のトランスファークロスタック 909-3 と、入力端子 H04 からの信号を受ける 1 段目のトランスファークロスタック 909-4 とで 1 段目のトランスファークロスタックを備える。

#### 【0012】

さらに、トランスファークロスタック 2 段構成型の 4 入力マルチプレクサ 900 は、1 段目のトランスファークロスタック 909-1 の出力とトランスファークロスタック 909-2 の出力とを受ける 2 段目のトランスファークロスタック 909-5 と、1 段目のトランスファークロスタック 909-3 の出力とトランスファークロスタック 909-4 の出力とを受ける 2 段目のトランスファークロスタック 909-6 とで 2 段目のトランスファークロスタックを備える。

#### 【0013】

そして、2 段目のトランスファークロスタック 909-5 の出力とトランスファークロスタック 909-6 の出力とを受ける出力端子 (N01) を備える。

#### 【0014】

#### 【特許文献 1】

特開平 7-742608 号公報 (段落 0004 乃至 0008 の記載)

**【特許文献 2】**

特開平 5 - 2 5 1 6 7 1 号公報 (図 3)

**【0 0 1 5】****【発明が解決しようとする課題】**

しかしながら、従来例のマルチプレクサ・インバータ回路のトランジスタが単列で横方向に配置される場合、セル内部のトランスファークロスタック回路部分 (4 0 1, 4 0 2, 4 0 3, 4 0 4) は、図 4 に示すように、制御信号が 4 本、出力が 1 本の計 5 本の横方向の配線トラックがセル内配線のために必要となり、2 - 4 デコーダ回路部分では 8 本の横方向の配線トラックがセル内配線のために必要となる。

**【0 0 1 6】**

一方、従来例のセルのレイアウト構造のポリシリコン層、M E T A L 1 層の横方向配線トラックは、端子、電源配線等で削られるので、通常はあわせておよそ 4 本しかない。したがって、残った配線は縦方向が主軸である M E T A L 2 層配線を横方向に配線することになる。

**【0 0 1 7】**

この横方向の M E T A L 2 層配線は、1 チップの M E T A L 2 層配線チャネルの主軸である縦軸と交差することになり、M E T A L 2 層の配線トラック 7 0 2 がおよそ 3 0 本が使用される。その為に、1 チップの M E T A L 2 層配線トラックが大幅に削減され 1 チップの配線性が大幅に低下する問題があった。

**【0 0 1 8】**

したがって、本発明は、4 入力マルチプレクサ・インバータが持つ 1 チップレイアウト時の M E T A L 2 層の配線トラックを増加させるマルチプレクサセルのレイアウト構造を提供することにある。

**【0 0 1 9】****【課題を解決するための手段】**

本発明のマルチプレクサセルのレイアウト構造は、P チャネルトランジスタと N チャネルトランジスタから構成されるセル列を上下 2 列に並べたプリミティブセルと、前記セル列を接続する複数層で構成される配線層と、前記プリミティブ



ブセルを用いて、複数のトランスファークラウドおよび複数のインバクタのいずれか一方、又は其の両方を有するマルチプレクサセルのレイアウト構造において、前記トランスファークラウドを構成する複数のトランジスタを、前記セル列の上側と下側に配置し、配置した複数のトランジスタの出力端子を、前記上下のセル列間をまたいで、前記配線層のうちMETAL 2層配線で接続する構成である。

#### 【0020】

また、本発明のマルチプレクサセルのレイアウト構造は、デコード回路を有し、前記マルチプレクサのデコード回路を構成するトランジスタを、前記セル列の上側と下側に配置し、前記デコード回路の内部配線を上下のセル列間をまたいで、前記配線層のうち少なくともポリシリコン層を含む配線層で接続し、前記トランスファークラウド回路のトランジスタ出力を制御する制御信号配線を上下のセル列間をまたいで、前記配線層のうち少なくともポリシリコン層を含む配線層で接続することもできる。

#### 【0021】

またさらに、本発明のマルチプレクサセルのレイアウト構造は、前記マルチプレクサセルは、4入力マルチプレクサ・インバクタで構成されることができる。

#### 【0022】

##### 【発明の実施の形態】

本発明の特徴は、PチャネルトランジスタとNチャネルトランジスタから構成されるセル列を上下2列に並べたプリミティブセルのレイアウト構造において、トランスファークラウドを構成する複数のトランジスタをセル列の上側と下側に配置し、配置した複数のトランジスタの出力端子を上下のセル列間をまたいでMETAL 2配線で上下に接続した構造をしている。

#### 【0023】

本セルのレイアウト構造をとることにより、トランスファークラウド出力側の配線長が短くなり回路遅延が小さくなるという効果と、本セルがセル内部で使用するMETAL 2層配線トラックが削減され、1チップレイアウト時のMETAL 2層の配線トラックを増加させる役目をはたす。従って、マルチプレクサ回路の

動作スピード向上、配線性向上という効果を得られる。

#### 【0024】

以下、図面を参照して本発明のマルチプレクサセルのレイアウト構造の実施の形態について説明する。

#### 【0025】

図1は、本発明の4入力マルチプレクサ・インバータのレイアウト対応の回路図である。図2、図11、図12および図13は、図1に示す4入力マルチプレクサ・インバータの平面配置図である。図3は、4入力マルチプレクサ・インバータの回路図である。図10は、図2記載のセル列の構成図を示す。

#### 【0026】

マルチプレクサ・インバータとは、マルチプレクサの出力値が反転しているもので、出力反転以外は同じ論理であり、マルチプレクサ・インバータの最終段出力にインバータを追加すればマルチプレクサと同等の論理となる。

#### 【0027】

セル列1つ分の高さをシングルハイト、セル列2つ分の高さをダブルハイトと呼ぶ。考案したマルチプレクサセルのレイアウト構造を4入力マルチプレクサ・インバータセルに適応した実施例を説明する。

#### 【0028】

図1を参照すると、本発明の第1の実施の形態における4入力マルチプレクサ・インバータセルのレイアウト構造100は、4個のトランスファークラックゲート（109-1，109-2，109-3，109-4）を含む4個の出力回路（101，102，103，104）を左右対称で並べ、上下対称に並べて配置する。すなわち、4個のトランスファークラックゲート（109-1，109-2，109-3，109-4）の中から2組（109-1，109-2）を左右対称で並べ、さらに、2組（109-1，109-2）を上下対称に並べ、2個のトランスファークラックゲート（109-3，109-4）とし、4個を配置する。

#### 【0029】

本発明の第1の実施の形態は、さらに、トランスファークラックゲートの出力端子（N01）をセル列107とセル列106のセル列間をまたいでMETAL2層の配

線 108 として、上下に接続するセルのレイアウト構造である。

#### 【0030】

次に、本発明の第 1 の実施の形態について、具体的な配置である図 2 を参照して説明する。図 2 は、図 1 で示した 4 入力マルチプレクサ・インバータセルの模式的な平面配置図である。図 2 を参照すると、本発明の第 1 の実施の形態における 4 入力マルチプレクサ・インバータセルのプリミティブセルのレイアウト構造は、N チャンネルトランジスタ (N011 乃至 N015) から構成されるセル列 211 と、P チャンネルトランジスタ (P011 乃至 P015) から構成されるセル列 212 を上下 2 列に並べた構造である。

#### 【0031】

さらに、本発明の第 1 の実施の形態における 4 入力マルチプレクサ・インバータセルのプリミティブセルのレイアウト構造は、N チャンネルトランジスタ N011 と N チャンネルトランジスタ N015、N チャンネルトランジスタ N012 と N チャンネルトランジスタ N014 のそれぞれを線分 206 を軸にして左右対称に配置している。また、N チャンネルトランジスタ N013 を、それ自身が線分 206 を軸にして左右対称に配置している。

#### 【0032】

P チャンネルトランジスタについても同様な配置関係で、本発明の第 1 の実施の形態における 4 入力マルチプレクサ・インバータセルのプリミティブセルのレイアウト構造は、P チャンネルトランジスタ P011 と P チャンネルトランジスタ P015、P チャンネルトランジスタ P012 と P チャンネルトランジスタ P014 のそれぞれを線分 206 を軸にして左右対称に配置している。また、P チャンネルトランジスタ P013 を、それ自身が線分 206 を軸にして、左右対称に配置している。

#### 【0033】

すなわち、本発明の第 1 の実施の形態における 4 入力マルチプレクサ・インバータセルのプリミティブセルのレイアウト構造は、セル列 205 の領域に左右対称に配置された N チャンネルトランジスタ (N011 乃至 N015) から構成されるセル列 211 と、P チャンネルトランジスタ (P011 乃至 P015) から構成

されるセル列 2 1 2 を上下 2 列に並べた構造を具備する。

【0034】

そして、さらに、プリミティブセルのレイアウト構造は、セル列 2 1 1 とセル列 2 1 2 とを、線分 2 0 2 を軸にして上下対称に、セル列 2 0 4 の領域にセル列 2 1 4 とセル列 2 1 3 とを配置し、ダブルハイトタイプの構成である。

【0035】

そして、本発明の第 1 の実施の形態における 4 入力マルチプレクサ・インバータセルのプリミティブセルのレイアウト構造は、図 1 におけるトランスファークロスの出力端子 (N 0 1) をセル列 2 0 5 とセル列 2 0 4 のセル列間をまたいで METAL 2 層の配線 2 3 1 として、配線接続する。

【0036】

なお、N チャネルトランジスタ (N 0 1 1 乃至 N 0 1 5 および N 0 2 1 乃至 N 0 2 5) ならびに P チャネルトランジスタ (P 0 1 1 乃至 P 0 1 5 および P 0 2 1 乃至 P 0 2 5) のポリシリコンで形成されるゲート電極には、トランジスタに付与した参照符号に対応した参照符号を付与している。例えば、N チャネルトランジスタ (N 0 1 1) であれば、ゲート電極 (G 0 1 1) と参照符号を付与している。

【0037】

次に、図 1 1 は、図 3 に示す本発明の第 1 の実施の形態における 4 入力マルチプレクサ・インバータセルの回路素子に対応した平面配置図を示す。

【0038】

図 3 に記載の参照符号を付した回路素子が、図 2 に示す、N チャネルトランジスタ (N 0 1 1 乃至 N 0 1 5) から構成されるセル列 2 1 1 と、P チャネルトランジスタ (P 0 1 1 乃至 P 0 1 5) から構成されるセル列 2 1 2 と、セル列 2 0 4 の領域に左右対称に配置された N チャネルトランジスタ (N 0 2 1 乃至 N 0 2 5) から構成されるセル列 2 1 4 と、P チャネルトランジスタ (P 0 2 1 乃至 P 0 2 5) から構成されるセル列 2 1 3 とに対応して配置される。

【0039】

例えば、出力回路 1 0 2 について説明する。出力回路 1 0 2 のインバータ 3 1

2は、NチャネルトランジスタN011とPチャネルトランジスタP011とに割り当てられる。さらに、インバータ316は、NチャネルトランジスタN012とPチャネルトランジスタP012とに割り当てられる。さらに、トランスファークロウ（109-2）を構成するNチャネルトランジスタ323は、NチャネルトランジスタN013の左側トランジスタに割り当てられ、Pチャネルトランジスタ324は、PチャネルトランジスタP013の左側トランジスタに、割り当てられる。

#### 【0040】

同様に、出力回路101について説明する。出力回路101のインバータ311は、NチャネルトランジスタN015とPチャネルトランジスタP015とに割り当てられる。さらに、インバータ315は、NチャネルトランジスタN014とPチャネルトランジスタP014とに割り当てられる。さらに、トランスファークロウ（109-1）を構成するNチャネルトランジスタ321は、NチャネルトランジスタN013の右側トランジスタに割り当てられ、Pチャネルトランジスタ322は、PチャネルトランジスタP013の右側トランジスタに、割り当てられる。

#### 【0041】

同様に、出力回路103は出力回路101を、出力回路104は出力回路101を、図2に示す直線202に関して対称に折り返す配置で、それぞれに対応するトランジスタが割り当てられる。

#### 【0042】

すなわち、出力回路104のインバータ314は、NチャネルトランジスタN021とPチャネルトランジスタP021とに割り当てられる。さらに、インバータ318は、NチャネルトランジスタN022とPチャネルトランジスタP022とに割り当てられる。さらに、トランスファークロウ（109-4）を構成するNチャネルトランジスタ327は、NチャネルトランジスタN023の左側トランジスタに割り当てられ、Pチャネルトランジスタ328は、PチャネルトランジスタP023の左側トランジスタに、割り当てられる。

#### 【0043】

出力回路 103 のインバータ 313 は、Nチャネルトランジスタ N025 と Pチャネルトランジスタ P025 とに割り当てられる。さらに、インバータ 317 は、Nチャネルトランジスタ N024 と Pチャネルトランジスタ P024 とに割り当てられる。さらに、トランスファージゲート (109-3) を構成する Nチャネルトランジスタ 325 は、Nチャネルトランジスタ N023 の右側トランジスタに割り当てられ、Pチャネルトランジスタ 326 は、Pチャネルトランジスタ P023 の右側トランジスタに、割り当てられる。

#### 【0044】

次に、図 12 および図 13 は、本発明の第 1 の実施の形態における 4 入力マルチプレクサ・インバータセルのプリミティブセルのレイアウト構造のより詳細な平面配置図であり、出力回路 102 を代表例として、入力端子 H02 から出力端子 N01 の配線構造を示している。

#### 【0045】

図 12 および図 13 を参照して、本発明の第 1 の実施の形態における 4 入力マルチプレクサ・インバータセルのプリミティブセルの METAL1 層配線の構造および METAL2 層配線の構造を説明する。

#### 【0046】

図 1 に示す、本発明の第 1 の実施の形態における 4 入力マルチプレクサ・インバータセルのプリミティブセルのレイアウト構造の配線 121 は、図 11、図 12 および図 13 に示すインバータ 312 を構成しているトランジスタ N011 とトランジスタ P011 のそれぞれのソースを接続し、トランスファージゲート (109-2) を構成する Nチャネルトランジスタ 323 を、Nチャネルトランジスタ N013 の左側トランジスタに割り当て、Pチャネルトランジスタ 324 を、Pチャネルトランジスタ P013 の左側トランジスタに割り当て、Nチャネルトランジスタ 323 と Pチャネルトランジスタ 324 のそれぞれのドレインに接続する。

#### 【0047】

そして、Nチャネルトランジスタ 323 と Pチャネルトランジスタ 324 のそれぞれのソースを接続し、出力配線 231 として配置する。出力配線 231 は、

図12および図13に示すように、セル列205とセル列204をまたいでセル列間に配置される。

#### 【0048】

なお、ダブルハイトタイプの4入力マルチプレクサ・インバータセルにおけるセル列の構成は、図10に概略平面図を示す。図10に示すように、ダブルハイトタイプの4入力マルチプレクサ・インバータセルは、上側に配置したセル列1(1007)と下側に配置したセル列2(1006)は、Pチャネルウェル層1001とNチャネル拡散層1002とゲートポリ層1003とNチャネルウェル層1004とPチャネル拡散層1005からなる。上側セル列1(1007)の中にあるNチャネルウェル層1004は、下側セル列1(1006)の中にあるNチャネルウェル層1004と上下に接している。

#### 【0049】

図8に、本発明の実施の形態の4入力マルチプレクサ・インバータのMETAL2層配線トラック802を示す。図中の“×”(810, 811, 812)は、セルが使用したMETAL2層の配線トラック(802-1, 802-2, 802-3)を示しており、1チップのMETAL2層の配線トラックとしては使用出来ないことを意味する。

#### 【0050】

すなわち、本発明は、出力回路(101, 102, 103, 104)のトランジスタ出力同士の配線部分231では、接続する配線がMETAL2層で縦方向となり、1チップのMETAL2層配線の主軸と同じ向きになり、METAL2層配線トラック(802-1)を1本使用する。

#### 【0051】

それ以外の内部回路部分のMETAL2層配線は、トラック(802-2, 802-3)の2本を使用するので、セル内で使用するMETAL2層配線トラックはあわせて3本となる。

#### 【0052】

一方、図7に、従来例の4入力マルチプレクサ・インバータが持つMETAL2層配線トラックを示す。図中の“×”は、セルが使用したMETAL2層の配

線トラックを示しており、1チップのMETAL 2層の配線トラックとしては使用出来ないことを意味する。従来例のマルチプレクサのレイアウトでは、METAL 2層配線が1本以上横方向に配線される必要がある為、METAL 2層配線トラックがおよそ30本使用される。

#### 【0053】

この結果、METAL 2層の配線トラック使用数が、およそ30本から3本へ減少することにより、1チップの使用可能配線トラックが増加し、配線性が大きく向上する。このことにより、セル内部の配線については、短く配線することができ、したがって、セル内部の配線遅延が小さくなる。

#### 【0054】

具体的には、図9の回路図で示した通常のトランスファー2段構成型の4入力マルチプレクサセルに対して、44% ( $0.0820\text{ nS} \rightarrow 0.0460\text{ nS}$  H01 Rise N01 Fall Trf 0.01ns CB12M Typical condition) のスピードの向上がみられた。

#### 【0055】

本セルをCPUコア (ARM9) のバレルシフター回路に適応すると、論理合成時にスピードが10% ( $0.653\text{ [ns]}$ ) 向上するという結果を得た。

#### 【0056】

次に、本発明の第2の実施の形態における4入力マルチプレクサ・インバータセルのレイアウト構造として、図5に3入力マルチプレクサ・インバータのレイアウト対応の回路図を示す。本発明の第2の実施の形態における4入力マルチプレクサ・インバータセルのレイアウト構造は、出力回路1 (501)、2 (502)、3 (503) の中に1個ずつ存在するトランスファーゲートの出力端子がセル列1 (505)、セル列2 (506) のセル列間をまたいで上下方向に配線接続した端子507によって接続されている。

#### 【0057】

なお、本発明の第2の実施の形態における4入力マルチプレクサ・インバータセルのレイアウト構造としての具体的な平面配置については、本発明の第1の実施の形態における4入力マルチプレクサ・インバータセルのレイアウト構造と同



じであるので、その詳細な説明は、省略する。

#### 【0058】

次に、本発明の第3の実施の形態における4入力マルチプレクサ・インバータセルのレイアウト構造として、図5に3入力マルチプレクサ・インバータのレイアウト対応の回路図を示す。図6にセル列が3段構成となる5入力マルチプレクサ・インバータのレイアウト対応の回路図を示す。

#### 【0059】

本発明の第3の実施の形態における4入力マルチプレクサ・インバータセルのレイアウト構造は、出力回路1（601）、2（602）、3（603）、4（604）、5（605）の中に各1個ずつ存在するトランスファークロスの出力端子がセル列1（607）、セル列2（608）、セル列3（609）のセル列間をまたいで上下方向に接続した端子610によって接続されている。

#### 【0060】

そして、本発明の第3の実施の形態における4入力マルチプレクサ・インバータセルのレイアウト構造としての具体的な平面配置については、本発明の第1の実施の形態における4入力マルチプレクサ・インバータセルのレイアウト構造と同じであるので、その詳細な説明は、省略する。

#### 【0061】

##### 【発明の効果】

以上の説明のように、本発明は、出力回路のトランジスタ出力同士の配線部分では、接続する配線がMETAL2層で縦方向となり、1チップのMETAL2層配線の主軸と同じ向きになり、METAL2層配線トラックを1本使用する。それ以外の内部回路部分のMETAL2層配線はトラック2本使用するので、セル内で使用するMETAL2層配線トラックはあわせて3本となる。

#### 【0062】

従来例のマルチプレクサのレイアウトでは、METAL2層配線が1本以上横方向に配線される必要がある為、METAL2層配線トラックがおよそ30本使用される。よって、セルで使用するMETAL2層配線トラックが従来例のおよそ30本から3本へ減少し、1チップのMETAL2層配線トラックが大幅に確

保できるので、1チップの配線性が大きく向上する。図8に、本発明の実施例の4入力マルチプレクサ・インバータのM E T A L 2層配線トラックを示す。図7に、従来例の4入力マルチプレクサ・インバータが持つM E T A L 2層配線トラックを示す。図中の“×”はセルが使用したM E T A L 2層の配線トラックを示しており、1チップのM E T A L 2層の配線トラックとしては使用出来ないことを意味する。

#### 【0063】

マルチプレクサセルの内部にある出力回路のトランジスタに接続している配線長は、出力トランジスタが横一列に並ぶ場合よりも上下セル列に並べる場合の方が短くなり、配線容量が削減できるので、セル内部の配線遅延が小さくなる。

#### 【図面の簡単な説明】

##### 【図1】

本発明の第1の実施の形態のマルチプレクサセルの4入力マルチプレクサ・インバータのレイアウト対応の回路図である。

##### 【図2】

本発明の第1の実施の形態のマルチプレクサセルの4入力マルチプレクサ・インバータの平面配置図である。

##### 【図3】

本発明の第1の実施の形態のマルチプレクサセルの4入力マルチプレクサ・インバータの回路図である。

##### 【図4】

4入力マルチプレクサ・インバータ回路を用いた従来のレイアウト構造におけるレイアウト対応の回路図である。

##### 【図5】

本発明の第2の実施の形態のマルチプレクサセルの3入力マルチプレクサ・インバータのレイアウト対応の回路図である。

##### 【図6】

本発明の第3の実施の形態のマルチプレクサセルの5入力マルチプレクサ・インバータのレイアウト対応の回路図である。

**【図 7】**

従来の 4 入力マルチプレクサ・インバータの METAL 2 層配線トラック図である。

**【図 8】**

本発明の実施の形態の 4 入力マルチプレクサ・インバータの METAL 2 層配線トラック図である。

**【図 9】**

従来の他のトランスファークロスタック 2 段構成の 4 入力マルチプレクサである。

**【図 10】**

本発明の実施の形態のマルチプレクサセルのセル列の構成を示す図である。

**【図 11】**

本発明の実施の形態のマルチプレクサセルのセル列の平面配置構成を示す図である。

**【図 12】**

本発明の実施の形態のマルチプレクサセルのセル列の配線構成を示す平面図である。

**【図 13】**

本発明の実施の形態のマルチプレクサセルのセル列の別の配線構成を示す平面図である。

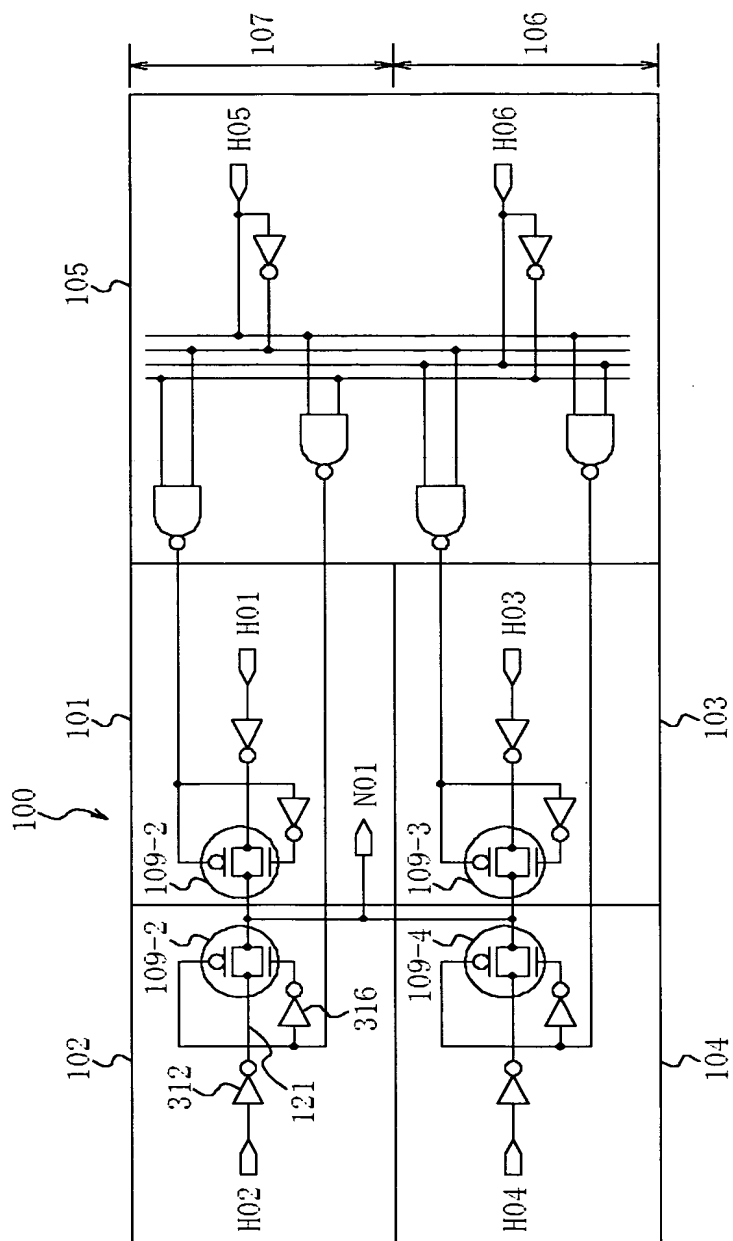
**【符号の説明】**

101, 401, 501, 601	出力回路 1
102, 402, 502, 602	出力回路 2
103, 403, 503, 603	出力回路 3
104, 404, 604	出力回路 4
105, 202, 301, 405	2-4 デコーダ回路
106, 204, 505, 607	セル列 1
107, 205, 506, 608	セル列 2
108	トランスファークロスタックの出力端子を上下方向に配線接続した端子
109	トランスファークロスタック

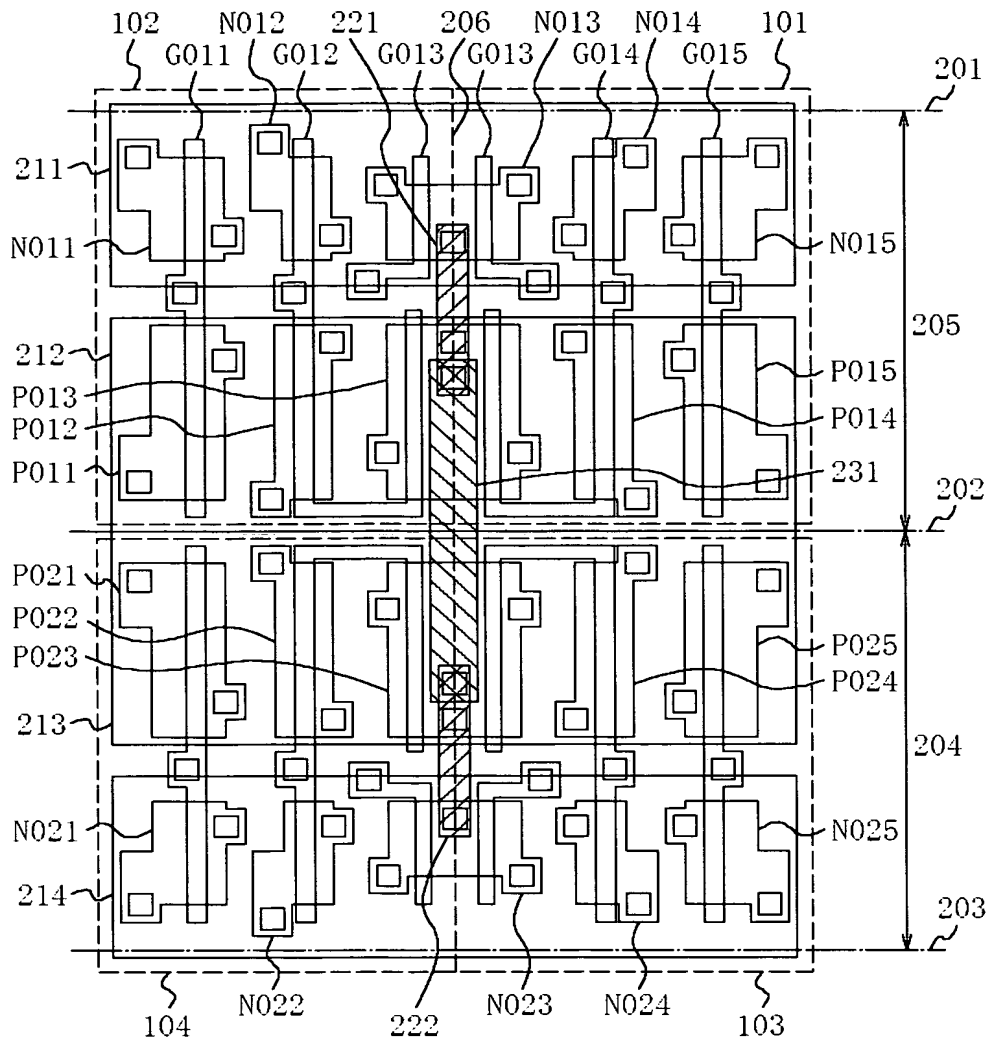
- 2 0 1      インバータおよびトランスファークロッシング回路
- 2 0 3      METAL 2 層を用いて、セル列間をまたいで配線接続した端子
- 2 0 6      ダブルハイト
- 4 0 6      セル列
- 5 0 4      2 - 3 デコーダ回路
- 5 0 7      トランスファークロッシングの出力端子を上下方向に配線接続した端子
- 6 0 5      出力回路 5
- 6 0 6      3 - 5 デコーダ回路
- 6 0 9      セル列 3
- 6 1 0      トランスファークロッシングの出力端子を上下方向に配線接続した端子
- 7 0 1, 8 0 1      METAL 2 層の配線トラック
- 7 0 2, 8 0 2      セルが使用したMETAL 2 層の配線トラック
- 1 0 0 1      P チャネルウェル層
- 1 0 0 2      N チャネル拡散層
- 1 0 0 3      ゲートポリ層
- 1 0 0 4      N チャネルウェル層
- 1 0 0 5      P チャネル拡散層
- 1 0 0 6      セル列 1
- 1 0 0 7      セル列 2

【書類名】 図面

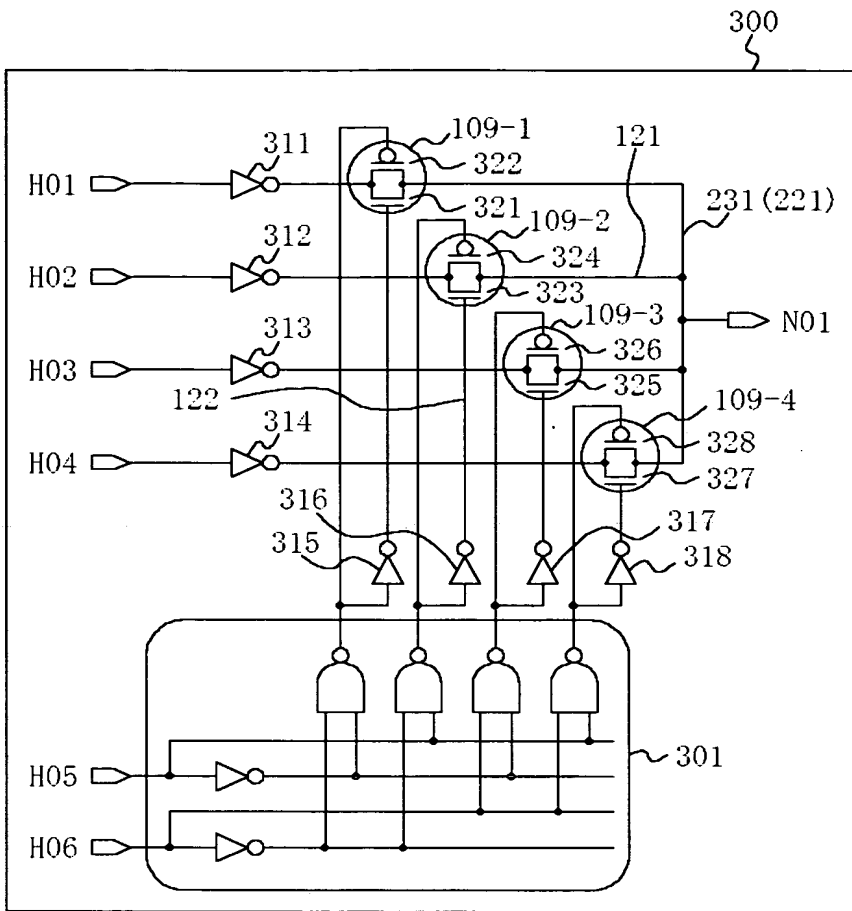
【圖 1】



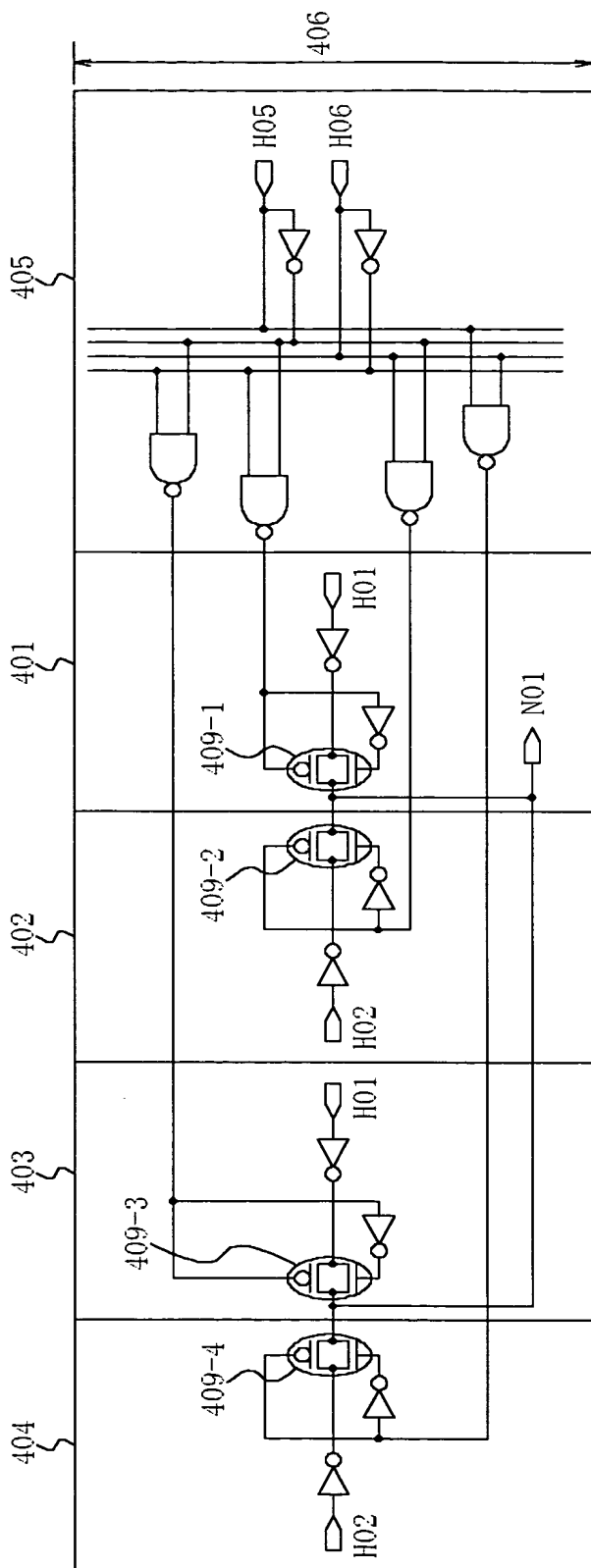
【図 2】



【図 3】

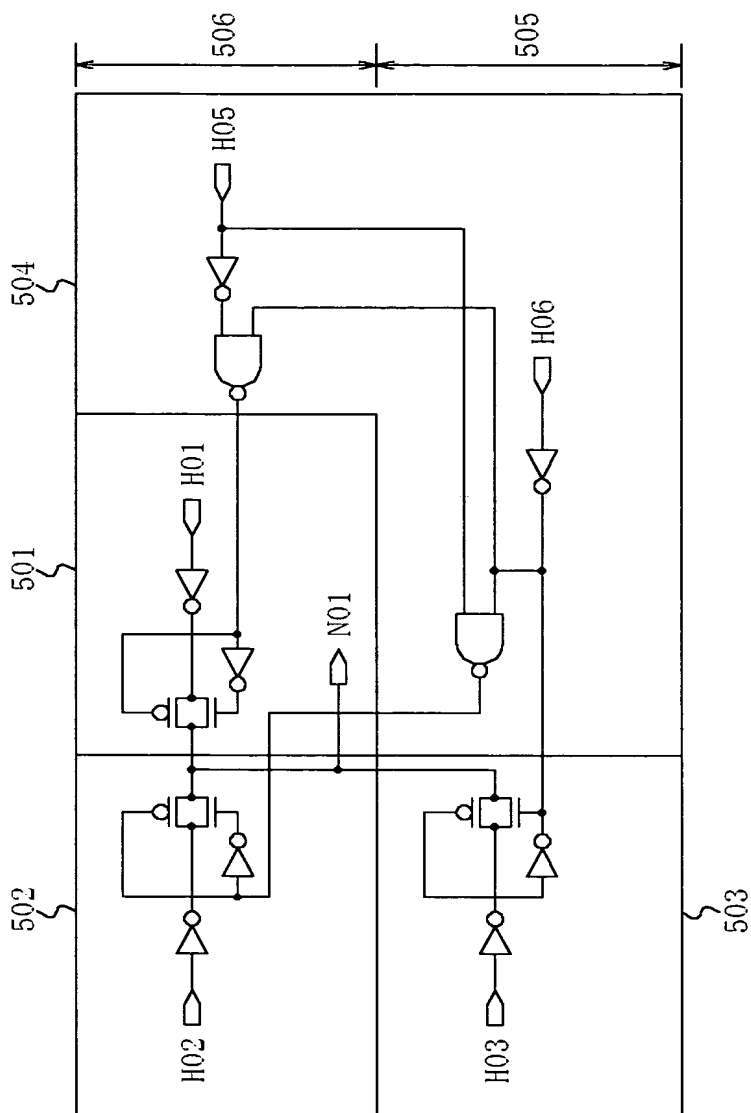


【图 4】

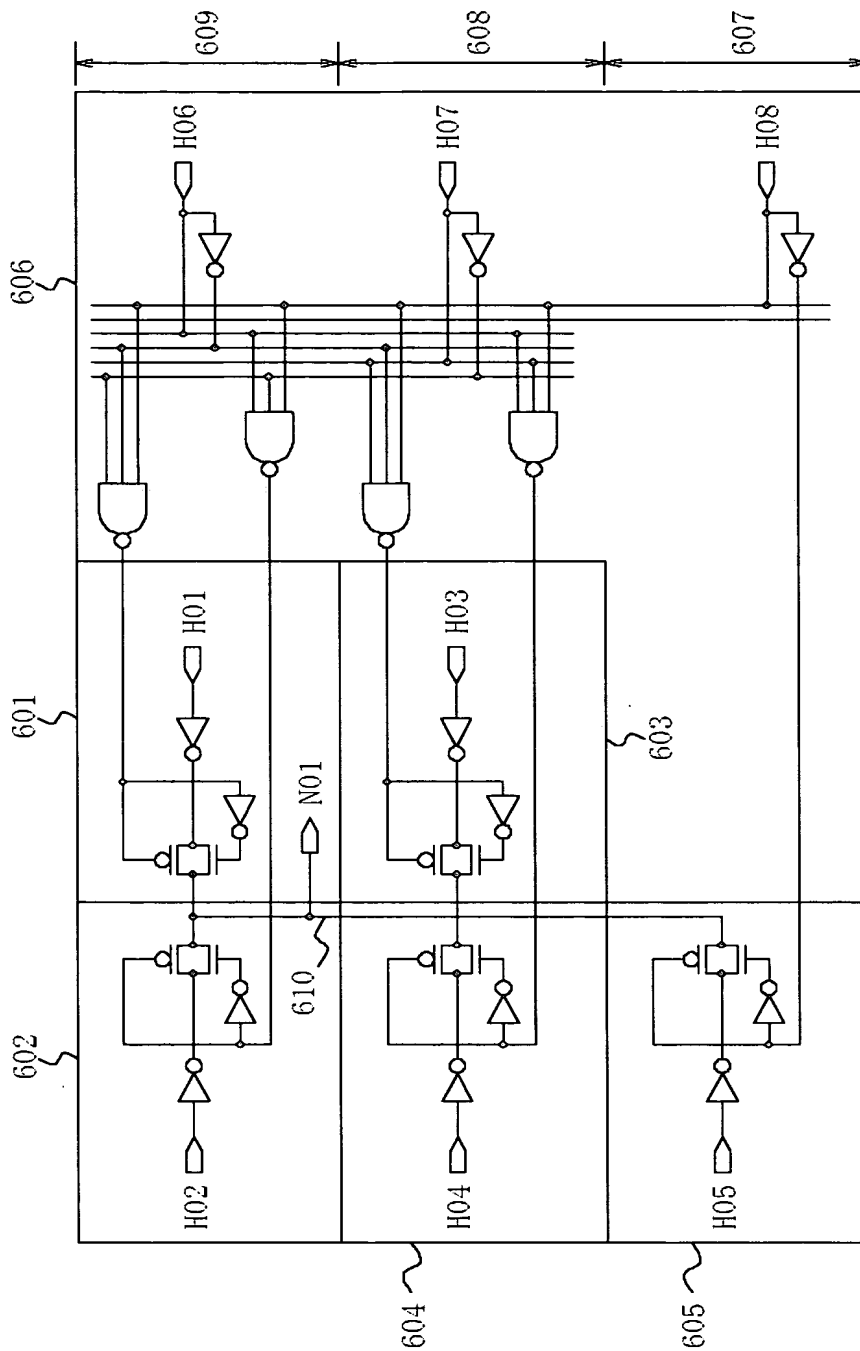




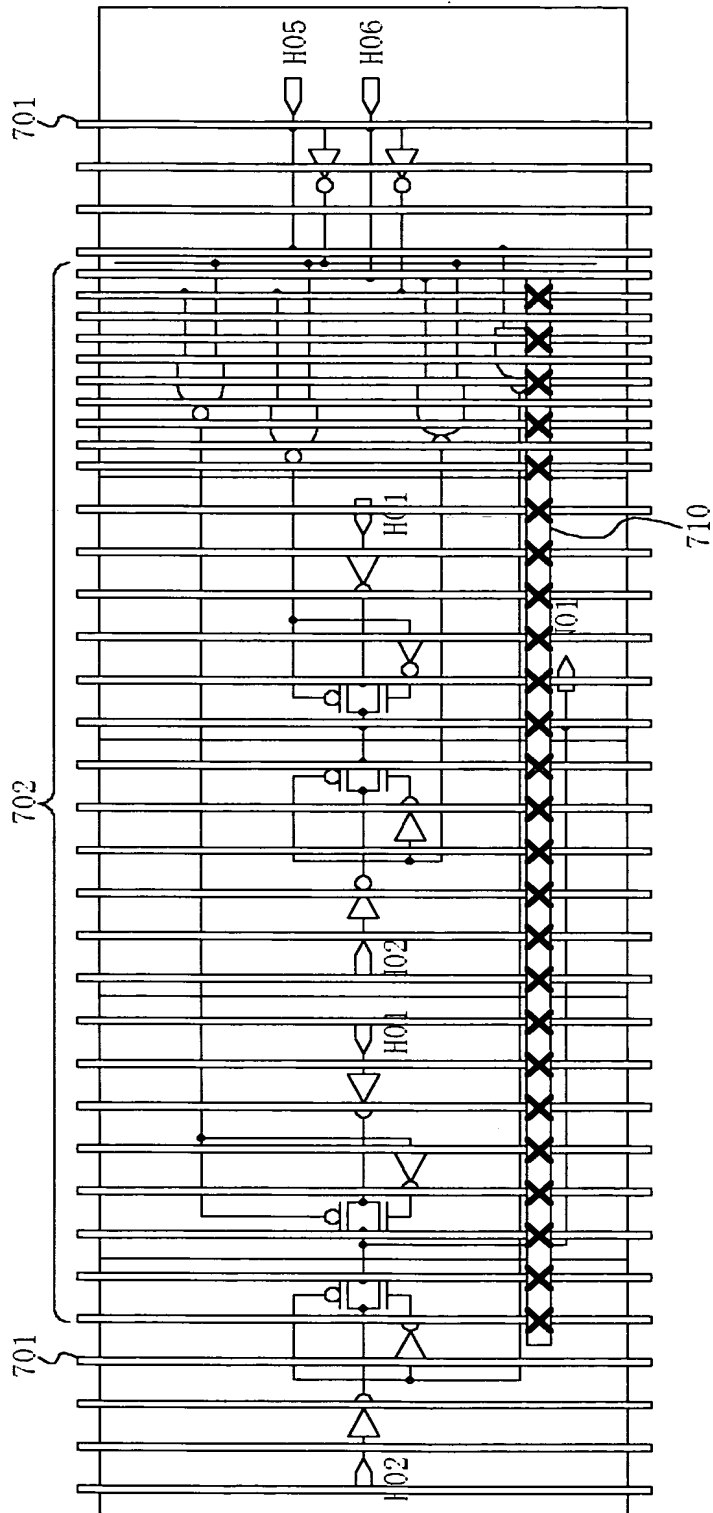
【図 5】



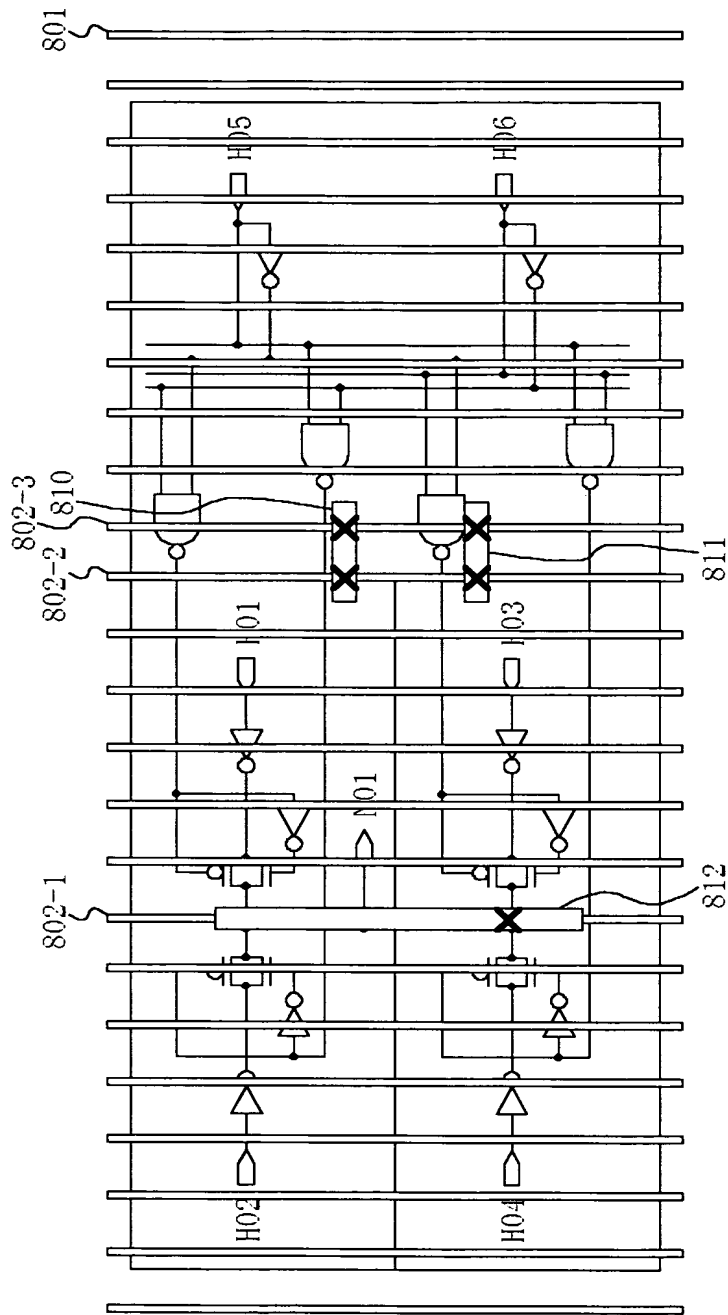
【図 6】



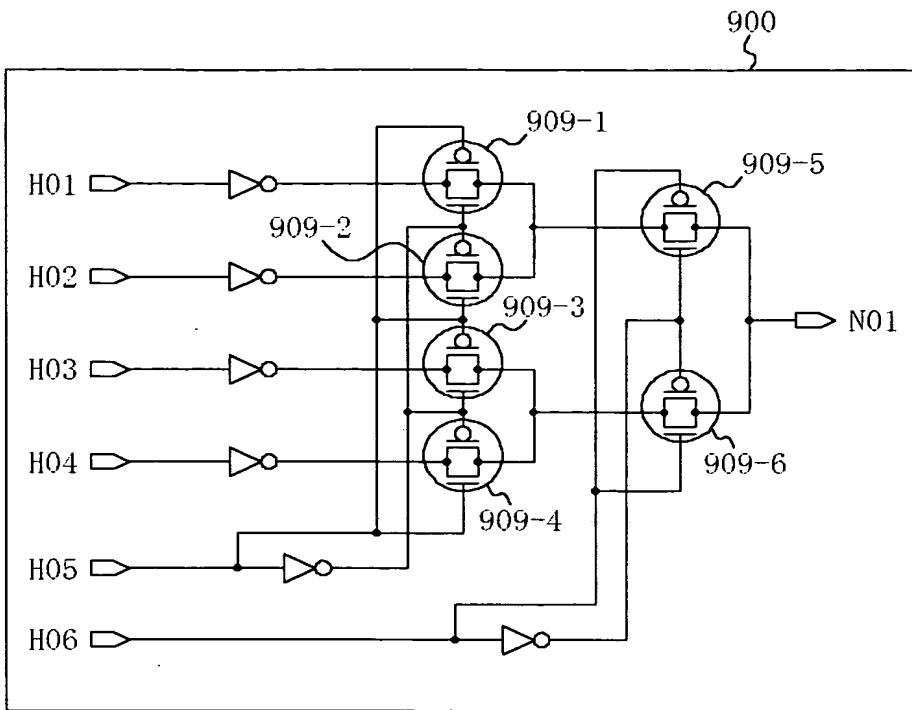
【図 7】



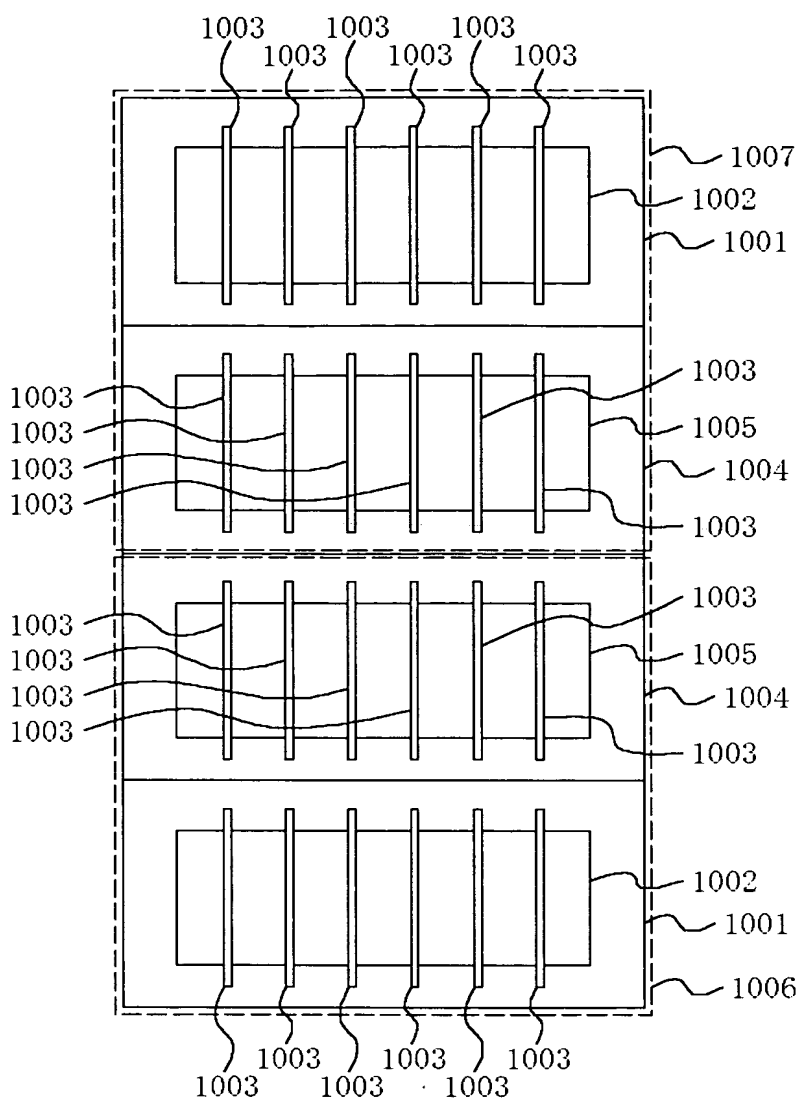
【図 8】



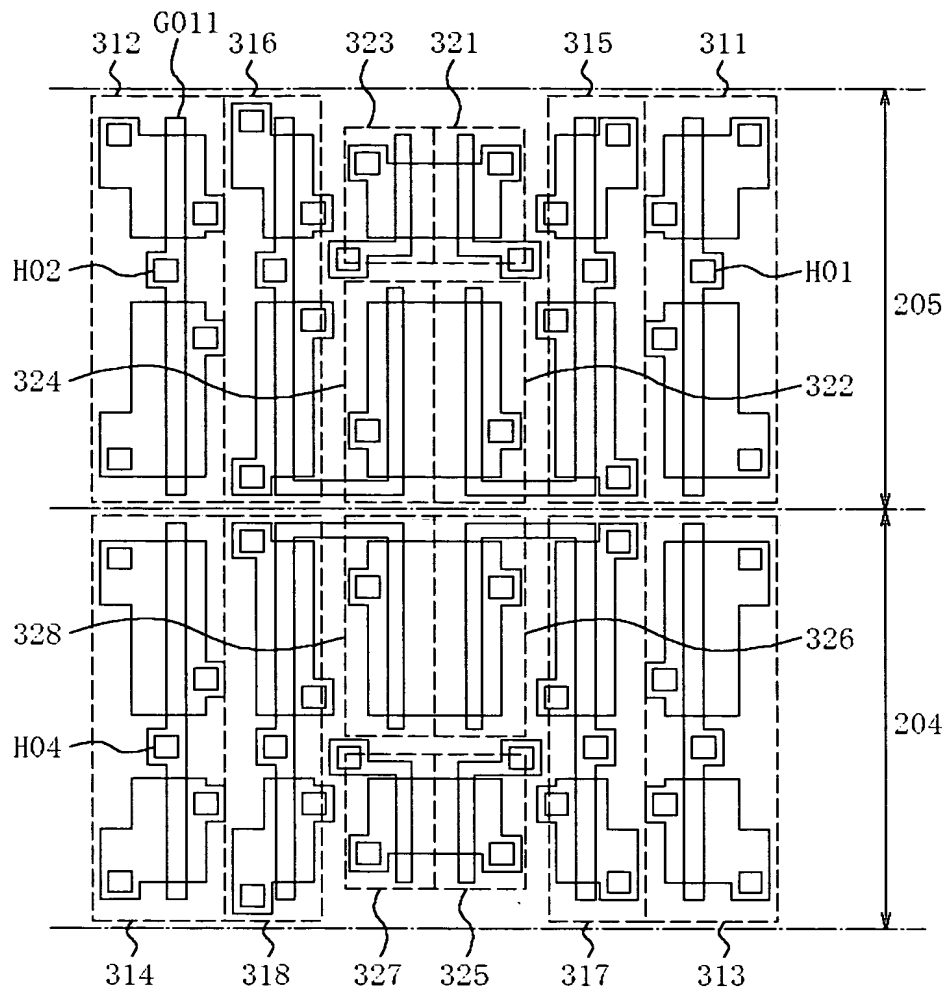
【図 9】



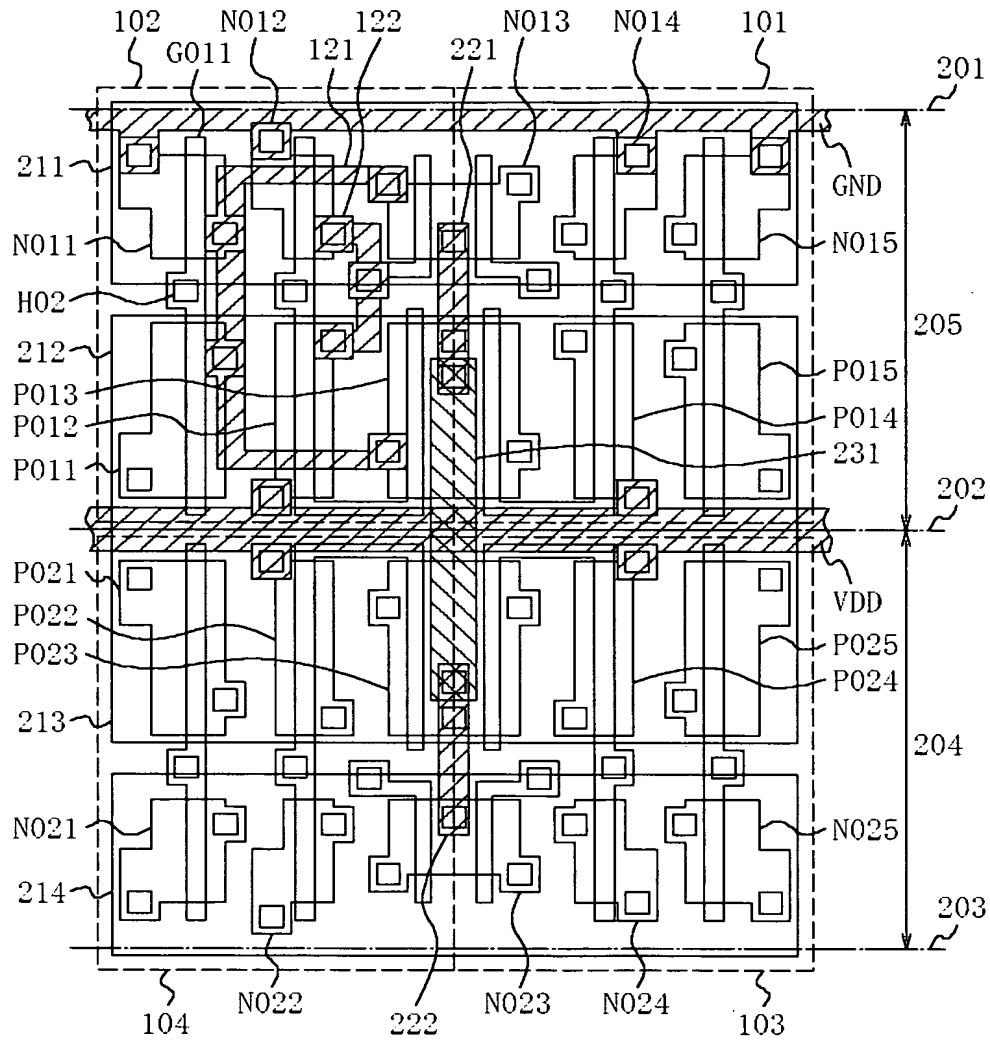
【図 10】



【図 11】

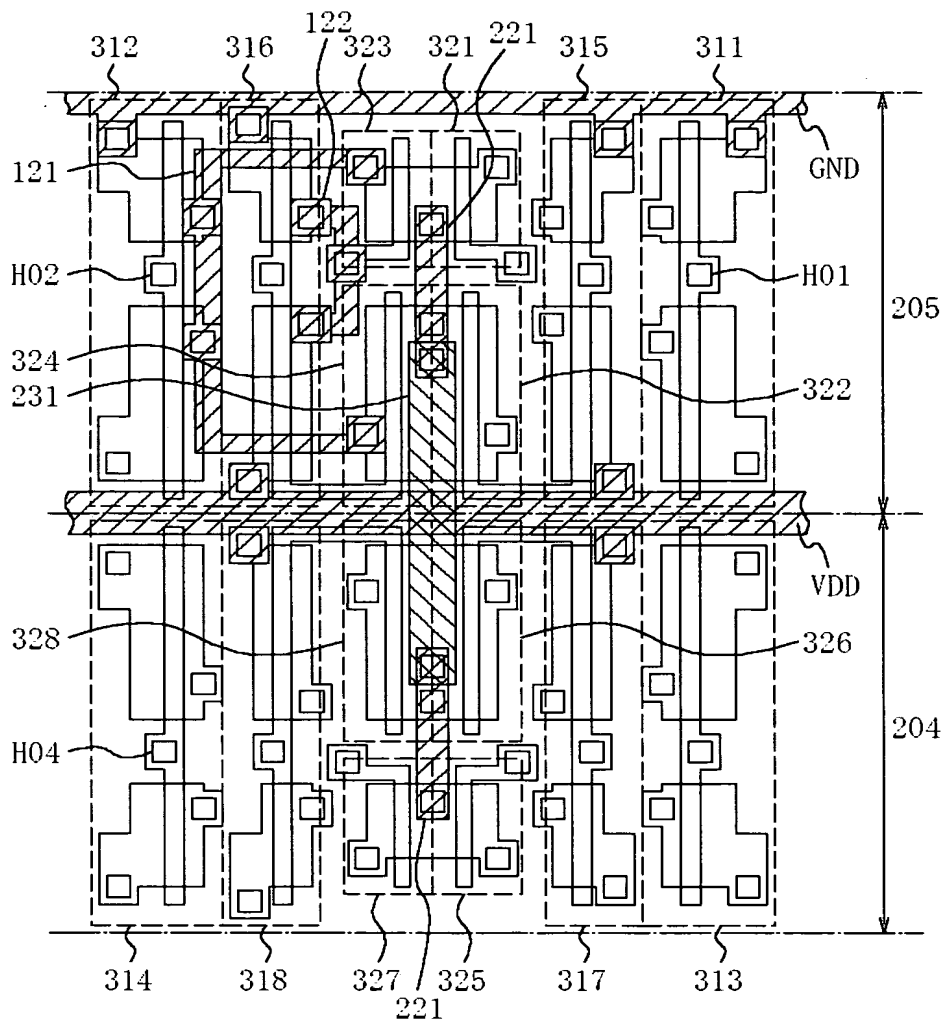


【図 12】





【図 13】



【書類名】 要約書

【要約】

【課題】 4 入力マルチプレクサ・インバータが持つ 1 チップレイアウト時の METAL 2 層の配線トラックを増加させるマルチプレクサセルのレイアウト構造を提供する。

【解決手段】 マルチプレクサセルのレイアウト構造は、P チャネルトランジスタと N チャネルトランジスタから構成されるセル列を上下 2 列に並べたプリミティブセルのレイアウト構造であって、トランスファークロスを構成する複数のトランジスタをセル列の上側と下側に配置し、配置した複数のトランジスタの出力端子を上下のセル列間をまたいで METAL 2 配線で上下に接続した。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 5 0 9 6 8
受付番号	5 0 3 0 0 3 1 9 8 1 8
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 2 月 2 8 日

< 認定情報・付加情報 >

【提出日】	平成15年 2月27日
-------	-------------

次頁無

特願 2 0 0 3 - 0 5 0 9 6 8

出 願 人 履 歴 情 報

識別番号

[ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日

2 0 0 2 年 1 1 月 1 日

[変更理由]

新規登録

住 所

神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名

N E C エレクトロニクス株式会社